



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 07 月 03 日

Application Date

申請案號：091114690

Application No.

申請人：威騰光電股份有限公司

Applicant(s)

局長

Director General

陳明邦

發文日期：西元 2002 年 8 月 02 日

Issue Date

發文字號：09111014597

Serial No.

申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

發明名稱	中文	多輸入資料與多輸出資料之維特比解碼裝置與解碼方法
	英文	Viterbi Decoding Device and Method for Multi-Input Data and Multi-Output Data
發明人	姓名 (中文)	1. 馬清文 2. 鄭朝隆
	姓名 (英文)	1. William Mar 2. Kelven Cheng
	國籍	1. 中華民國 2. 中華民國
	住、居所	1. 北縣新店市中正路533號8樓 8Fl., No. 533, Jungjeng Rd., Shindian City, Taipei, Taiwan 231, R.O.C. 2. 北縣新店市中正路533號8樓 8Fl., No. 533, Jungjeng Rd., Shindian City, Taipei, Taiwan 231, R.O.C.
申請人	姓名 (名稱) (中文)	1. 威騰光電股份有限公司
	姓名 (名稱) (英文)	1. VIA OPTICAL SOLUTION, INC.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 北縣新店市中正路533號8樓 8Fl., No. 533, Jungjeng Rd., Shindian City, Taipei, Taiwan 231, R.O.C.
	代表人 姓名 (中文)	1. 王雪紅
	代表人 姓名 (英文)	1. Cher Wang

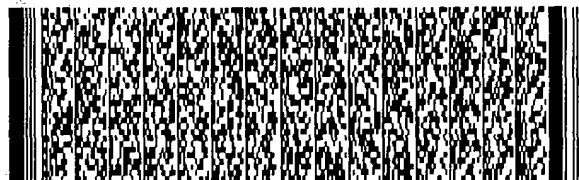
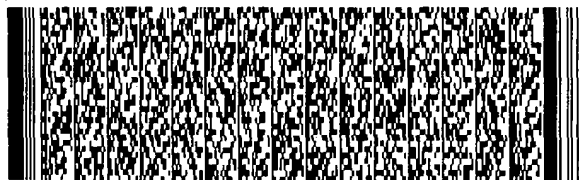


四、中文發明摘要 (發明之名稱：多輸入資料與多輸出資料之維特比解碼裝置與解碼方法)

本案係為一種多輸入資料與多輸出資料之維特比解碼裝置與解碼方法，其解碼裝置包含：一支賦距計算電路；一累加-比較-選擇單元；一賦距暫存器；一倖存記憶單元以及一決定單元，此外更可擴充到一歸一化電路。而其解碼方法如下：首先提供複數組目標位準值；並將連續接收到之複數個輸入資料，分別與其相對應之複數組目標位準值進行分支賦距計算，進而輸出複數個分支賦距值；對等分支賦距值後分別進行累加運算而得致複數個分支賦距累加值，並分組進行分支賦距累加值大小比較後輸出複數個控制信號與複數個最小分支賦距累加值；分別接收並儲存該等最小分支賦距累加值，並將其儲存值回傳以進行下一次之累加運算；以及因應該等個控制信號之控制而記

英文發明摘要 (發明之名稱：Viterbi Decoding Device and Method for Multi-Input Data and Multi-Output Data)

A viterbi decoding device and a viterbi decoding method for multi-input data and multi-output data are disclosed. The viterbi decoder includes a branch metric calculating circuit, an adder-comparator-selector unit, a metric register, a survivor memory unit, a decision circuit, and optionally a normalizing circuit. The decoding method is summarized as follows. A plurality of target level sets are provided first. A branch metric calculating operation is performed on a

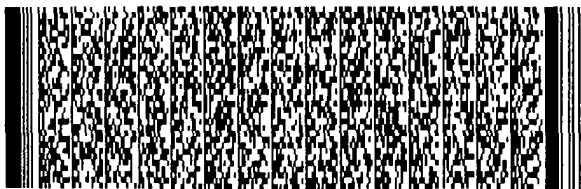


四、中文發明摘要 (發明之名稱：多輸入資料與多輸出資料之維特比解碼裝置與解碼方法)

錄代表輸出資料狀態變化之複數個可能路徑，最後再根據該等最小分支賦距累加值決定出可能路徑之組合而進行輸出。

英文發明摘要 (發明之名稱：Viterbi Decoding Device and Method for Multi-Input Data and Multi-Output Data)

series of received input data and target levels corresponding thereto to realize a plurality of branch metric values. An adding operation is performed on the branch metric values to realize a plurality of added branch metric values, respectively. A plurality of control signals and a plurality of minimum added branch metric values according a comparing result of each set of added branch metric values. The minimum added branch metric values are received and stored, and then



四、中文發明摘要 (發明之名稱：多輸入資料與多輸出資料之維特比解碼裝置與解碼方法)

英文發明摘要 (發明之名稱：Viterbi Decoding Device and Method for Multi-Input Data and Multi-Output Data)

fed back for next adder operation. A plurality of possible paths indicative of output data status are recoded in response to the control signals. The combination of possible paths are determined and executed according to the minimum added branch metric values.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

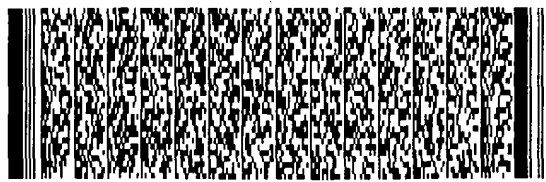
五、發明說明 (1)

發明領域

本案係為一種多輸入資料與多輸出資料之維特比解碼裝置與解碼方法，尤指應用於光碟系統之多輸入資料與多輸出資料之維特比解碼裝置與解碼方法。

發明背景

請參見第一圖，其係一常見數位資料記錄與讀出系統之功能方塊示意圖，其中u代表一數位資料序列，該數位資料序列u經過一長度限制-不歸零編碼器(Run-Length Limited and Non-Return to Zero Encoder，以下簡稱RLL-NRZ Encoder)11之編碼後，係產生適合寫入數位資料記錄媒體之一記錄信號X，而藉由一寫入裝置12來將其寫入一數位資料記錄媒體10之中，而透過讀取頭13將該數位資料記錄媒體所記錄之信號取出，經過一通道傳輸並藉由一等化器14調整為信號y，隨後透過維特比解碼器(Viterbi decoder)15之處理，進而還原出格式與記錄信號X相同之讀取信號X'，而讀取信號X'再經過一長度限制-不歸零解碼器16(RLL-NRZ decoder)之解碼後，最後得回一復原數位資料序列u'。而數位資料記錄與讀出系統之實際例子係可為磁碟系統或是光碟系統，以光碟系統為例，上述等化器14、維特比解碼器15與長度限制-不歸零解碼器16係設置於一光碟機控制晶片中。



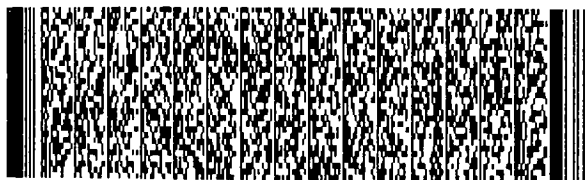
五、發明說明 (2)

再請參見第二圖，其係上述系統中記錄信號 x 轉換為信號 y 之過程示意圖，其中由記錄信號 x （通常以 $+0.5$ 與 -0.5 所構成）被讀出到送入等化器14前之過程係被簡化成為一個通道20(Channel)來看待，而其轉移函數(transfer function)可定義成" $Z(D)/X(D)=1+a_1*D+a_2*D^2+a_3*D^3+a_4*D^4+\dots$ "，而等化器14之作用係將信號 x 轉換為信號 y 之轉移函數(transfer function)調整成" $Y(D)/X(D)=1+D$ "、" $Y(D)/X(D)=1+2*D+D^2$ "或" $Y(D)/X(D)=1+D+D^2+D^3$ "，其即所謂將通道20與等化器14整合成一部份響應通道(partial response channel)。下表所列係為部份響應通道之轉移函數與目標位準(target level)之對應關係，而目標位準即表示出信號 y 之理想位準值。

轉移函數 $Y(D)/X(D)$	目標位準
$1+D$ ，簡稱PR(1, 1)	-1, 0, 1
$1+2*D+D^2$ ，簡稱PR(1, 2, 1)	-2, -1, 1, 2
$1+D+D^2+D^3$ ，簡稱PR(1, 1, 1, 1)	-2, -1, 0, 1, 2

而上述三種部份響應通道之中，PR(1, 1)之部份響應通道，因其抗雜訊之性能不足而無法實現於實際產品中，故常使用之部份響應通道係為PR(1, 2, 1)與PR(1, 1, 1, 1)。

由於利用維特比演算法來還原出讀取信號 x' 之維特比解碼器(Viterbi decoder)15需要進行大量資料之儲存與

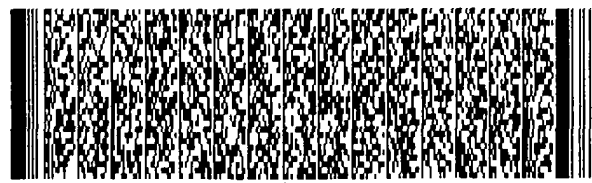
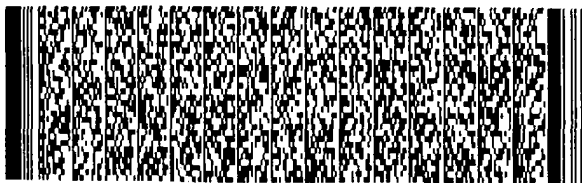


五、發明說明 (3)

運算，因此為了增快處理速度，便發展出如第三圖所示之雙維特比解碼器（第一維特比解碼器151、第二維特比解碼器152）之架構，如此將可分別處理信號 y 之資料序列中分屬奇數與偶數之信號 y_1 與信號 y_2 ，進而同時輸出兩個讀取信號 x_1' 與 x_2' 。但因維特比解碼器之電路複雜，如此作法將大幅增加光碟機控制晶片之面積而造成成本大增，而如何改善上述習用手段之缺失，係為發展本案之主要目的。

發明概述

本案係為一種多輸入資料與多輸出資料之維特比解碼裝置，其包含：一分支賦距計算電路，其係將所連續接收之複數個輸入資料，分別與其相對應之複數組目標位準值進行分支賦距計算，進而輸出複數個分支賦距值；一累加-比較-選擇單元，電連接於該分支賦距計算電路，其係接收該等分支賦距值後分別進行累加運算而得致複數個分支賦距累加值，並分組進行分支賦距累加值大小比較後，輸出複數個控制信號與複數個最小分支賦距累加值；一賦距暫存器，電連接於該累加-比較-選擇單元，其係分別接收並儲存該等最小分支賦距累加值，並將其儲存值回傳以進行下一次之累加運算；一倖存記憶單元，連接該累加-比較-選擇單元，因應該等控制信號而記錄並輸出有代表輸出資料狀態變化之複數個可能路徑；以及一決定單元，連接於該倖存記憶單元與該賦距暫存器，根據該等最小分



五、發明說明 (4)

支賦距累加值，決定倖存記憶單元之該等可能路徑之組合
來作為輸出。上述結構中間，更可以當該一等最一小分支動作之組
累加-比較-選擇單元時，同時進行向下列包含：一累加的輸出資
值超過一門檻值時，同時進行其係對所作接收信號及將由該分支賦距累加

而上述累加-比較-選擇單元則包含：一累加的輸出資
連接於該分支賦距計算電路，其係對所作接收信號及將由該分支賦距累加
狀態變化於該累加器組，進而分別輸出之選擇中，之
連接於該累加器組，進而分別輸出之選擇中，之
值進行比較，於該等分支賦距暫存器中儲存。
組，分別因該個暫存器係由複數個暫存器所構成倖存記憶單
係收到之複數賦距暫存器係由複數個暫存器所構成倖存記憶單
出至該賦距暫存器係由複數個暫存器所構成倖存記憶單

上述賦距暫存器係由複數個暫存器所構成倖存記憶單
元係由複數個暫存器係由複數個暫存器所構成倖存記憶單

本案另一提供一種多步驟輸入資料，進行分支賦距累加值，並控制分支賦距累加
解碼方法，其包含下列步驟：提供資料，進行分支賦距累加值，並控制分支賦距累加
連續目標值；對該等分支賦距累加值，並控制分支賦距累加
值分後，產生複數個控制信號與該等
分累加運算；以及因該等

五、發明說明 (6)

複數個分支賦距值；對該等分支賦距值後分別進行累加運算而得致複數個分支賦距累加值，並分組進行分支賦距累加值大小比較後，產生兩個控制信號與四個最小分支賦距累加值；分別接收並儲存該等最小分支賦距累加值且回傳以進行下一次之累加運算；以及因應該等個控制信號之控制而記錄代表輸出資料狀態變化之複數個可能路徑，再根據該等最小分支賦距累加值，決定兩個可能路徑之組合作輸出。

上述輸出資料狀態變化之複數個可能路徑格式係為三週期長度限制(3T Run-Length Limited)，而其部份響應通道係為一PR(1, 1, 1, 1)通道。且該等輸入資料之相對應之兩組特別設計之目標位準值分別為(-2、-1、0、1、2)及(-1.5、-1、0、1、1.5)。

簡單圖式說明

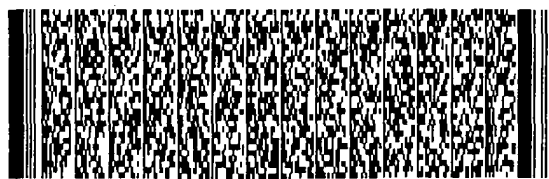
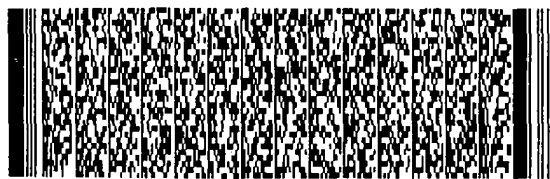
本案得藉由下列圖式及詳細說明，俾得一更深入之了解：

第一圖：其係一常見數位資料記錄與讀出系統之功能方塊示意圖。

第二圖：其係上述系統中記錄信號x轉換為信號y之過程示意圖。

第三圖：其係習用雙維特比解碼器架構之方塊示意圖。

第四圖：其係本案實施例中僅用一個維特比解碼裝置來達



五、發明說明 (7)

成多輸入資料與多輸出資料之方塊示意圖。

第五圖：其係本案對於上述多輸入資料與多輸出資料維特比解碼裝置所發展出一較佳實施例之簡明方塊示意圖。

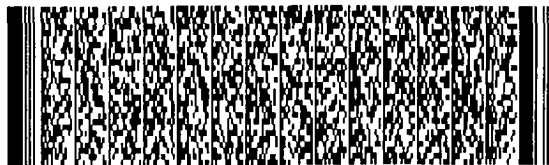
第六圖(a)：其係表示出以同時處理雙輸入信號之本案實例所運用之記錄信號x之一階格狀圖(1-step trellis)。

第六圖(b)：其係本案實施例中記錄信號x進入一PR(1, 1, 1)之部份響應通道後所輸出信號y之理想目標位準值對照表。

第七圖：其係本案對於上述雙輸入資料與雙輸出資料維特比解碼裝置所發展出一較佳實施例所示之電路方塊實例圖。

本案圖式中所包含之各元件列示如下：

數位資料記錄媒體10	長度限制-不歸零編碼器11
寫入裝置12	讀取頭13
等化器14	維特比解碼器15
長度限制-不歸零解碼器16	第一維特比解碼器151
第二維特比解碼器152	維特比解碼裝置40
分支賦距計算電路51	累加-比較-選擇單元52
倖存記憶單元53	賦距暫存器54
歸一化電路55	決定單元56
累加器組521	第一比較器5221
第二比較器5222	比較器組522
第一選擇器5231	第二選擇器5232



五、發明說明 (8)

選擇器組523

記憶單元531、532

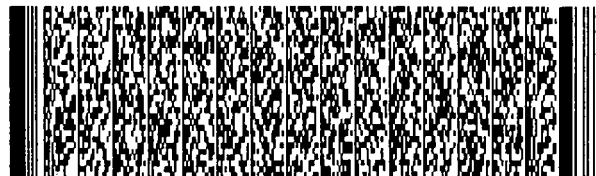
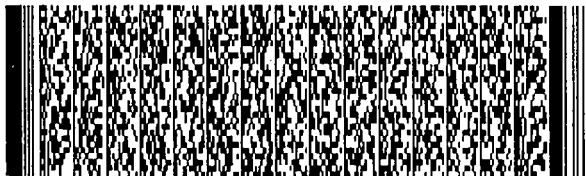
第一、第二及第三累加器組5211、5212及5213

暫存器541、542、543、544

較佳實施例說明

請參見第四圖，其係本案僅用一個維特比解碼裝置40來達成多輸入資料與多輸出資料之方塊示意圖，其主要係可同時接收並處理信號 y 之資料序列中連續且相鄰之信號 $y(k-n)$ 、 \dots 、 $y(k-1)$ 、 $y(k)$ ，進而可同時輸出多個讀取信號 $x'(k-n)$ 、 \dots 、 $x'(k-1)$ 、 $x'(k)$ ，以達成快速解碼但不大幅增加電路複雜程度之目的。

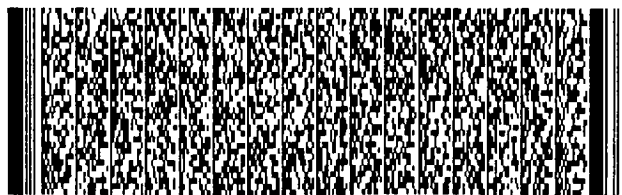
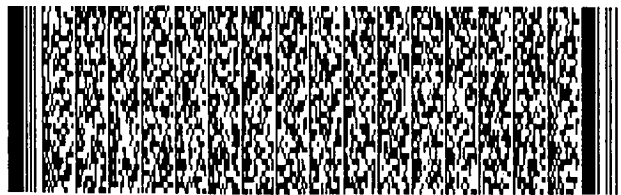
再請參見第五圖，其係本案對於上述多輸入資料與多輸出資料維特比解碼裝置所發展出一較佳實施例之簡明方塊示意圖，其中分支賦距計算電路51(Branch Metric Calculating Circuit，簡稱BMCU)接收 $y(k-n)$ 、 \dots 、 $y(k-1)$ 、 $y(k)$ 後，進行每個信號 $y(k-n)$ 、 \dots 、 $y(k-1)$ 、 $y(k)$ 之分支賦距計算，其產生方式如第7圖所示，雙輸入信號 $y(k)$ 與 $y(k-1)$ 在響應通道 $PR(1, 1, 1, 1)$ 下所可能產生的值，分別為 $(2, 1, 0, -1, -2)$ 與 $(1.5, 1, 0, -1, -1.5)$ (此值產生部份將在6(b)圖中作進一步說明)，因此以 $y(k)$ 與 $y(k-1)$ 與可能對應值 $(2, 1, 0, -1, -2)$ 與 $(1.5, 1, 0, -1, -1.5)$ ，兩者相減後進行平方來作為複數個分支賦距值，如7圖中之 $(y(k)-2)^2$ 、 $(y(k)-1)^2$ 等..，然後將此複數



五、發明說明 (9)

個分支賦距值輸出至累加-比較-選擇單元52(Adder-Comparator-Selector Unit, 簡稱ACSU), 以分別進行累加運算而得致複數個分支賦距累加值, 並分組進行分支賦距累加值大小比較後, 輸出複數個控制信號與複數個最小分支賦距累加值。其中複數個控制信號輸至一倖存記憶單元(Survivor Memory Unit)53, 而複數個最小分支賦距累加值則被輸至一賦距暫存器(Metric Register)54, 並將其儲存值回傳至該累加-比較-選擇單元52以進行下一次之累加運算, 但為避免累加值不斷增加而使賦距暫存器54產生溢位之現象, 因此在累加-比較-選擇單元52與賦距暫存器54之間可加設一歸一化電路55(Normalizing Circuit), 用以當累加值超過一門檻值時, 對所有累加值同時進行一向下平移之歸一化動作, 即同時減去一個固定值而避免累加值過大的情形。至於倖存記憶單元53係受該等控制信號之控制而儲存有當時與前幾個時間點(即 k 、 $k-1$ 、 \dots 、 $k-n$)之讀取信號 x 之可能狀態變化倖存, 最後經由決定單元56根據賦距暫存器54中所儲存之該等最小分支賦距累加值, 進而決定出複數個讀取信號 $x'(k)$ 、 $x'(k-1)$ 、 \dots 、 $x'(k-n)$ 並予以輸出。

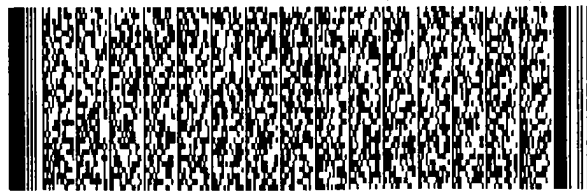
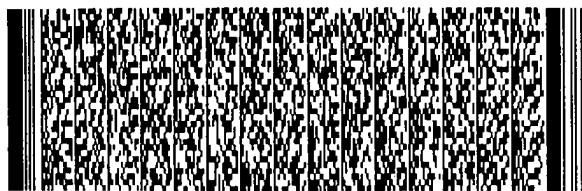
由於光碟系統所傳輸連續數據具有三週期長度限制(3T Run-Length Limited)之編碼格式, 所以在所傳送信號時例如以00011100001111方式, 我們可看出0與1只要一出現就會有3個或3個以上連續出現, 因此不會允許一個或兩個相同位元單獨出現, 如 $\dots 101 \dots$ 、 $\dots 1001 \dots$ 、 $\dots 0110$



五、發明說明 (10)

…或是…010…，此外為簡化如第六圖(a)上方所示 $X(k-4)$ 、 $X(k-3)$ 、 $X(k-2)$ 、 $X(k-1)$ 、 $X(k)$ 在狀態轉換之複雜度，在此我們直接以第六圖(a)下方之同時處理雙輸入信號之本案實例所運用記錄信號 X 的一階格狀圖(1-step trellis)，即由四個(兩組)記錄信號狀態 $X(k-3)$ 、 $X(k-2)$ 與 $X(k-1)$ 、 $X(k)$ 進行狀態轉換(state transition)，由於上述三週期長度限制(3T Run-Length Limited)之編碼格式，所以如 $X(k-2)$ 、 $X(k-3)$ 為(0,0)時，無法有 $X(k)$ 、 $X(k-1)$ 為(0,1)，因其傳輸連續數據為0100，有一個或兩個相同位元單獨出現的情形。因此由6圖(a)中我們可看出只有8種不同狀態轉換。

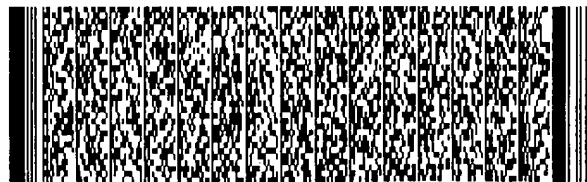
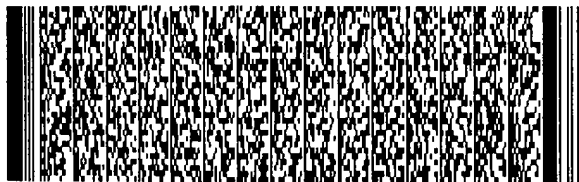
接著我們將上述8種不同狀態轉換，以表格方式顯示於第六圖(b)，並於第六圖(b)上載有記錄信號進入一PR(1,1,1,1)之部份響應通道後所輸出信號 $y(k)$ 與 $y(k-1)$ 之理想目標位準值對照表。其中上述記錄信號狀態 $X(k-3)$ 、 $X(k-2)$ 與 $X(k-1)$ 、 $X(k)$ 中位元"0"與"1"係代表分別以-0.5與0.5電壓值，所以在輸出信號 $y(k)=x(k)+x(k-1)+x(k-2)+x(k-3)$ ($x(k-3)$ 、 $x(k-2)$ 與 $x(k-1)$ 、 $x(k)$ 為電壓輸出值)，而 $y(k-1)=x(k-1)+x(k-2)+x(k-3)+x(k-4)$ ，但因本例並未記錄到 $x(k-4)$ 之值，因此取其可能值(0.5或-0.5)之平均 $m(m=0)$ ，故 $y(k-1)=x(k-1)+x(k-2)+x(k-3)+m=x(k-1)+x(k-2)+x(k-3)$ 。因此如6圖(b)，將位元"0"與"1"以-0.5與0.5帶入 $y(k)=x(k)+x(k-1)+x(k-2)+x(k-3)$ 與 $y(k-1)=x(k-1)+x(k-2)+x(k-3)$ 後，可得出 $y(k)$ 。



五、發明說明 (11)

與 $y(k-1)$ 有 $(2, 1, 0, -1, -2)$ 與 $(1.5, 1, 0, -1, -1.5)$ 各種不同理想目標位準值產生。

而根據上述式子所得出之 $y(k)$ 與 $y(k-1)$ 之理想目標位準值，吾人便可以如第七圖所示之電路方塊實例圖來實現第五圖中之分支賦距計算電路51、累加-比較-選擇單元52、倖存記憶單元53與賦距暫存器54。其中分支賦距計算電路51係接收到之 $y(k)$ 與 $y(k-1)$ 並分別計算其相對應之兩組理想目標位準值 ($y(k) = -2, -1, 0, 1$ 或 2 ，而 $y(k-1) = -1.5, -1, 0, 1$ 或 1.5)，然後以其差值平方後輸出至累加-比較-選擇單元52，而累加-比較-選擇單元52中包含有一累加器組521、一比較器組522(第一比較器5221與第二比較器5222所組成)以及一選擇器組523(第一選擇器5231與第二選擇器5232所組成)。其中該累加器組521係分別對應第六圖(a)中所示之所有可能的狀態變化路徑進行分支賦距之累加動作。舉例來說，第一累加器5211所累加得致之分支賦距累加值係代表00轉變至00之分支賦距累加值(其輸入為 $(y(k)+2)^2$ 、 $(y(k-1)+1.5)^2$ 以及賦距暫存器54所回傳儲存值)，而第二累加器5212所累加得致之分支賦距累加值係代表01轉變至00之分支賦距累加值，至於第三累加器5213所累加得致之分支賦距累加值係代表由11轉變至00之分支賦距累加值。而由第一比較器5221與第二比較器5222則分別將所接收到之分支賦距累加值進行比較，進而分別輸出第一控制信號與第二控制信號至第一選擇器5231與第二選擇器5232，因應第一、第二控制信號之選

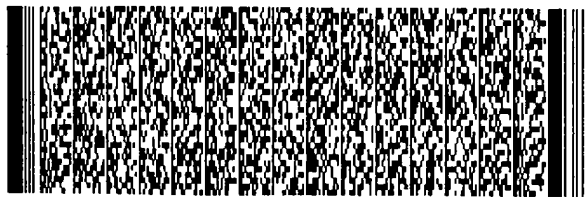


五、發明說明 (12)

擇，而將所接收到之複數個分支賦距累加值中之最小分支賦距累加值輸出至由四個暫存器541、542、543及544所構成之賦距暫存器54中儲存，並將其儲存值回傳至該累加-比較-選擇單元以進行下一次之累加運算。舉例來說，第一比較器5221係接收上述第一累加器5211、第二累加器5212與第三累加器5213所輸出之三個分支賦距累加值進行比較，進而發出雙位元之該第一控制信號以使第一選擇器5231輸出三個分支賦距累加值中之最小者至暫存器541中儲存。

至於由記憶單元531、532所組成之倖存記憶單元53係受控制信號之控制而儲存有當時與前幾個時間點(例如 k 、 $k-1$ 、 \dots 、 $k-3$)之讀取信號 X' 之可能狀態變化路徑，最後經由決定單元56根據該暫存器541、542、543及544中所分別儲存之該等最小分支賦距累加值，進而一次決定一組雙位元之讀取信號值(例如00、01、10或是11)予以輸出，此外，決定單元56亦可透過不同方式決定，例如利用倖存記憶單元53中所存在最多數一組雙位元之讀取信號值(例如00、01、10或是11)予以輸出。

綜上所述，運用本案之技術手段，將可在不大幅增加晶片面積之情況下，僅用一個維特比解碼裝置但能一次輸出兩個甚至更多之讀取信號值，達成快速解碼之本案主要目的。故本案可被廣泛地應用於磁碟系統或是光碟系統之控制晶片組中，故本案發明得由熟習此技藝之人士任施匠思而為諸般修飾，然皆不脫如附申請專利範圍所欲保護



五、發明說明 (13)

圖式簡單說明

第一圖：其係一常見數位資料記錄與讀出系統之功能方塊示意圖。

第二圖：其係上述系統中記錄信號 x 轉換為信號 y 之過程示意圖。

第三圖：其係習用雙維特比解碼器架構之方塊示意圖。

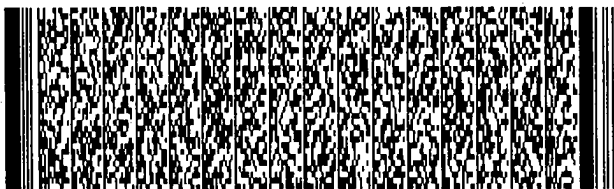
第四圖：其係本案實施例中僅用一個維特比解碼裝置來達成多輸入資料與多輸出資料之方塊示意圖。

第五圖：其係本案對於上述多輸入資料與多輸出資料維特比解碼裝置所發展出一較佳實施例之簡明方塊示意圖。

第六圖(a)：其係表示出以同時處理雙輸入信號之本案實施例所運用之記錄信號 x 之一階格狀圖(1-step trellis)。

第六圖(b)：其係本案實施例中記錄信號 x 進入一 $PR(1, 1, 1)$ 之部份響應通道後所輸出信號 y 之理想目標位準值對照表。

第七圖：其係本案對於上述雙輸入資料與雙輸出資料維特比解碼裝置所發展出一較佳實施例所示之電路方塊實例圖。



六、申請專利範圍

1. 一種多輸入資料與多輸出資料之維特比解碼裝置，其包含：

一分支賦距計算電路，其係將所連續接收到之複數個輸入資料，分別與其相對應之複數組目標位準值進行分支賦距計算，進而輸出複數個分支賦距值；

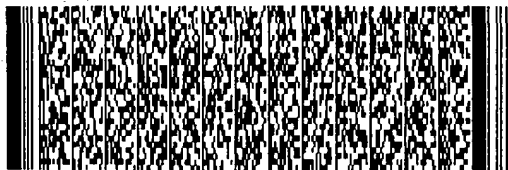
一累加-比較-選擇單元，電連接於該分支賦距計算電路，其係接收該等分支賦距值後分別進行累加運算而得致複數個分支賦距累加值，並分組進行分支賦距累加值大小比較後，輸出複數個控制信號與複數個最小分支賦距累加值；

一賦距暫存器，電連接於該累加-比較-選擇單元，其係分別接收並儲存該等最小分支賦距累加值，並將該等最小分支賦距累加值回傳至該累加-比較-選擇單元，以進行下一次之累加運算；

一倖存記憶單元，連接該累加-比較-選擇單元，因應該等控制信號而記錄並輸出有代表輸出資料狀態變化之複數個可能路徑；以及

一決定單元，連接於該倖存記憶單元與該賦距暫存器，根據該等最小分支賦距累加值，決定倖存記憶單元之該等可能路徑之組合來作為輸出。

2. 如申請專利範圍第1項所述之多輸入資料與多輸出資料之維特比解碼裝置更包括一歸一化電路，電連接於累加-比較-選擇單元與該賦距暫存器之間，用以當該等最小分



六、申請專利範圍

支賦距累加值超過一門檻值時，同時進行向下平移之歸一化動作。

3. 如申請專利範圍第1項所述之多輸入資料與多輸出資料之維特比解碼裝置，其中該累加-比較-選擇單元包含：

一累加器組，電連接於該分支賦距計算電路，其係對所有可能的輸出資料狀態變化路徑進行分支賦距之累加動作；

一比較器組，電連接於該累加器組，其係分別將所接收到之分支賦距累加值進行比較，進而分別輸出該等控制信號；以及

一選擇器組，電連接於該累加器組、比較器組及該賦距暫存器，其係分別因應該等控制信號之選擇，而將由該累加器組所接收到之複數個分支賦距累加值中之最小分支賦距累加值輸出至該賦距暫存器中儲存。

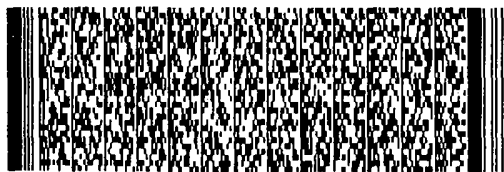
4. 如申請專利範圍第1項所述之多輸入資料與多輸出資料之維特比解碼裝置，其中該賦距暫存器係由複數個暫存器所構成。

5. 如申請專利範圍第1項所述之多輸入資料與多輸出資料之維特比解碼裝置，其中該倖存記憶單元係由複數個記憶體單元串接而成。

6. 一種多輸入資料與多輸出資料之維特比解碼方法，其包含下列步驟：

提供複數組目標位準值；

將連續接收到之複數個輸入資料，分別與其相對應之



六、申請專利範圍

複數組目標位準值進行分支賦距計算，進而輸出複數個分支賦距值；

對該等分支賦距值分別進行累加運算，而得致複數個分支賦距累加值，並分組進行分支賦距累加值大小比較後，產生複數個控制信號與複數個最小分支賦距累加值；

分別儲存該等最小分支賦距累加值且回傳以作為下一次之累加運算；以及

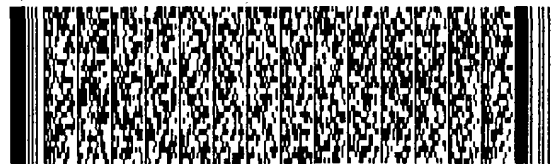
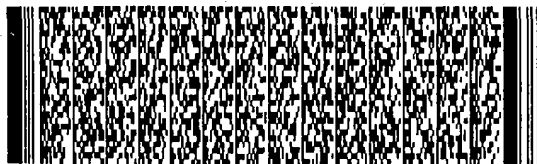
因應該等控制信號之控制而記錄代表輸出資料狀態變化之複數個可能路徑，再根據該等最小分支賦距累加值，決定出該等可能路徑之組合作輸出。

7. 如申請專利範圍第6項所述之多輸入資料與多輸出資料之維特比解碼方法，其中儲存該等最小分支賦距累加值且回傳以作為下一次之累加運算之前，更包括下面步驟：當該等最小分支賦距累加值超過一門檻值時，則同時進行向下平移之歸一化動作。

8. 一種雙輸入資料與雙輸出資料之維特比解碼裝置，其包含：

一分支賦距計算電路，其係將所連續接收到之兩個輸入資料，分別與其相對應之兩組目標位準值進行分支賦距計算，進而輸出複數個分支賦距值；

一累加-比較-選擇單元，電連接於該分支賦距計算電路，其係接收該等分支賦距值後分別進行累加運算而得致複數個分支賦距累加值，並分組進行分支賦距累加值大小比較後，輸出兩個控制信號與四個最小分支賦距累加值；



六、申請專利範圍

一 賦距暫存器，電連接於該累加-比較-選擇單元，其係分別接收並儲存該等最小分支賦距累加值，並將該等最小分支賦距累加值回傳至該累加-比較-選擇單元以進行下一次之累加運算；

一 倖存記憶單元，連接該累加-比較-選擇單元，因應兩個控制信號而記錄並輸出有代表輸出資料狀態變化之複數個可能路徑；以及

一 決定單元，連接於該倖存記憶單元與該賦距暫存器，根據該等最小分支賦距累加值，決定倖存記憶單元之兩個可能路徑之來作為輸出。

9. 如申請專利範圍第8項所述之雙輸入資料與雙輸出資料之維特比解碼裝置，更包括一歸一化電路，連接累加-比較-選擇單元，用以當該等最小分支賦距累加值超過一門檻值時，同時進行向下平移之歸一化動作。

10. 如申請專利範圍第8項所述之雙輸入資料與雙輸出資料之維特比解碼裝置，其中該累加-比較-選擇單元包含：

一 累加器組，電連接於該分支賦距計算電路，其係對所有可能的輸出資料狀態變化路徑進行分支賦距之累加動作；

一 比較器組，電連接於該累加器組，其係分別將所接收到之分支賦距累加值進行比較，進而分別輸出該等控制信號；以及

一 選擇器組，電連接於該累加器組、比較器組及該賦距暫存器，其係分別因應該等控制信號之選擇，而將由該



六、申請專利範圍

累加器組所接收到之複數個分支賦距累加值中之最小分支賦距累加值輸出至該賦距暫存器中儲存。

11. 如申請專利範圍第8項所述之雙輸入資料與雙輸出資料之維特比解碼裝置，其中該賦距暫存器係由複數個暫存器所構成。

12. 如申請專利範圍第8項所述之雙輸入資料與雙輸出資料之維特比解碼裝置，其中該倖存記憶單元係由複數個記憶體單元串接而成。

13. 一種雙輸入資料與雙輸出資料之維特比解碼方法，其包含：

將連續接收到之兩個輸入資料，分別與其相對應之兩組目標位準值進行分支賦距計算，進而輸出複數個分支賦距值；

對該等分支賦距值後分別進行累加運算而得致複數個分支賦距累加值，並分組進行分支賦距累加值大小比較後，產生兩個控制信號與四個最小分支賦距累加值；

分別儲存該等最小分支賦距累加值且回傳以進行下一次之累加運算；以及

因應該等控制信號之控制而記錄代表輸出資料狀態變化之複數個可能路徑，再根據該等最小分支賦距累加值，決定出兩個可能路徑之組合作輸出。

14. 如申請專利範圍第13項所述之雙輸入資料與雙輸出資料之維特比解碼方法，其中儲存該等最小分支賦距累加值且回傳以作為下一次之累加運算之前，更包括下面步驟：

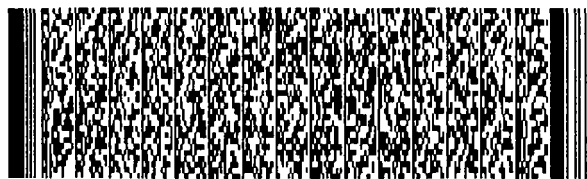


六、申請專利範圍

當該等最小分支賦距累加值超過一門檻值時，則同時進行向下平移之歸一化動作。

15. 如申請專利範圍第13項所述之雙輸入資料與雙輸出資料之維特比解碼方法，其中輸出資料狀態變化之複數個可能路徑之編碼格式係為三週期長度限制(3T Run-Length Limited)，而其部份響應通道係為一PR(1, 1, 1, 1)通道。

16. 如申請專利範圍第15項所述之雙輸入資料與雙輸出資料之維特比解碼方法，其中該等輸入資料之相對應之兩組目標位準值分別為(-2、-1、0、1、2)及(-1.5、-1、0、1、1.5)。



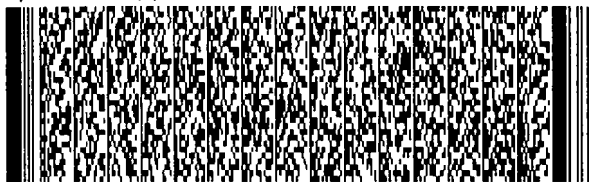
第 1/25 頁



第 2/25 頁



第 2/25 頁



第 3/25 頁



第 4/25 頁



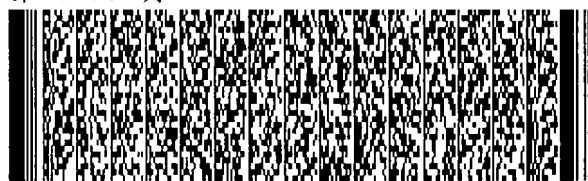
第 6/25 頁



第 6/25 頁



第 7/25 頁



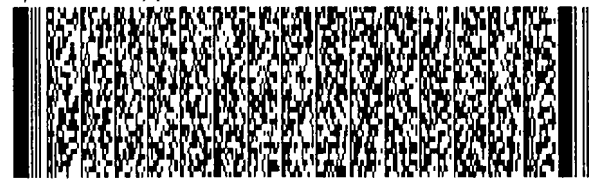
第 7/25 頁



第 8/25 頁



第 8/25 頁



第 9/25 頁



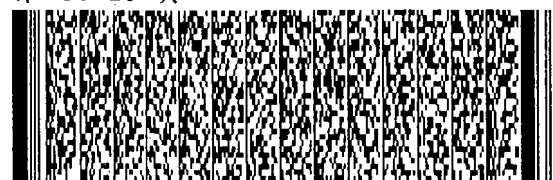
第 9/25 頁



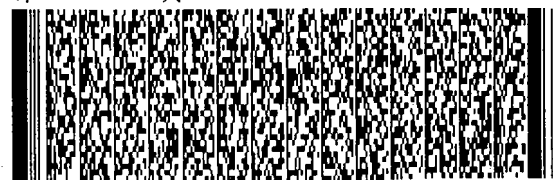
第 10/25 頁



第 10/25 頁



第 11/25 頁



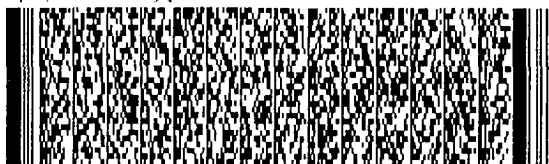
第 11/25 頁



第 12/25 頁



第 12/25 頁



第 13/25 頁



第 13/25 頁



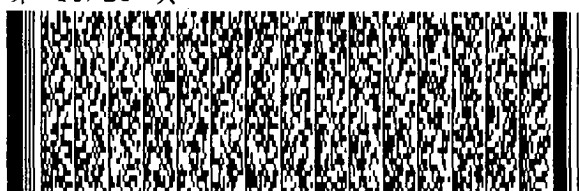
第 14/25 頁



第 14/25 頁



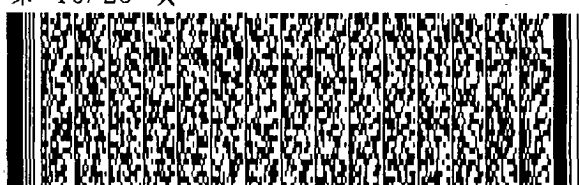
第 15/25 頁



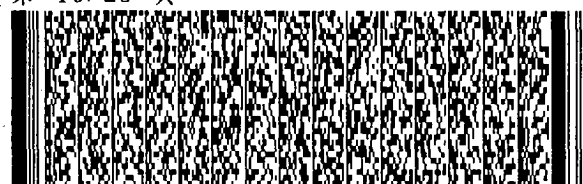
第 15/25 頁



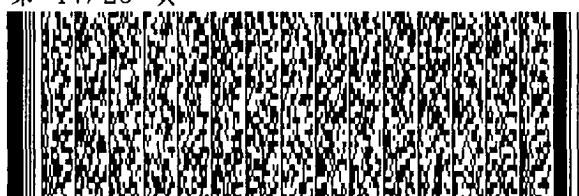
第 16/25 頁



第 16/25 頁



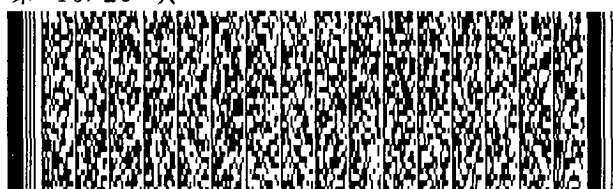
第 17/25 頁



第 17/25 頁



第 19/25 頁



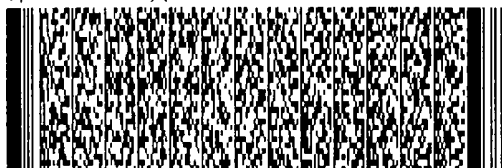
第 20/25 頁



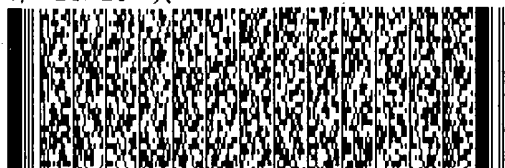
第 20/25 頁



第 21/25 頁



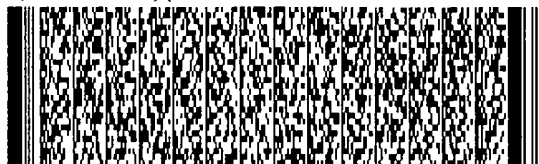
第 21/25 頁



第 22/25 頁



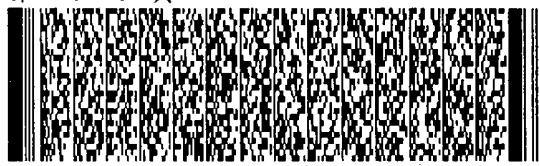
第 22/25 頁



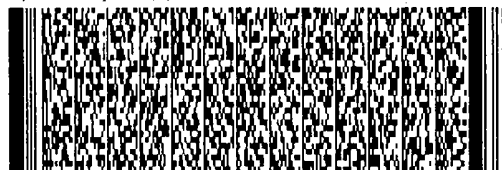
第 23/25 頁



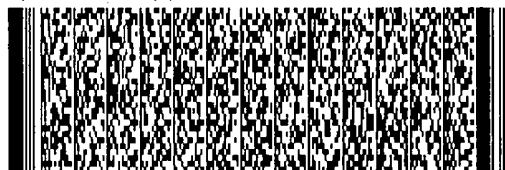
第 23/25 頁



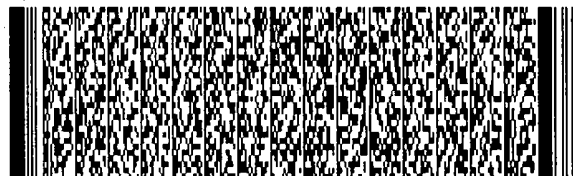
第 24/25 頁

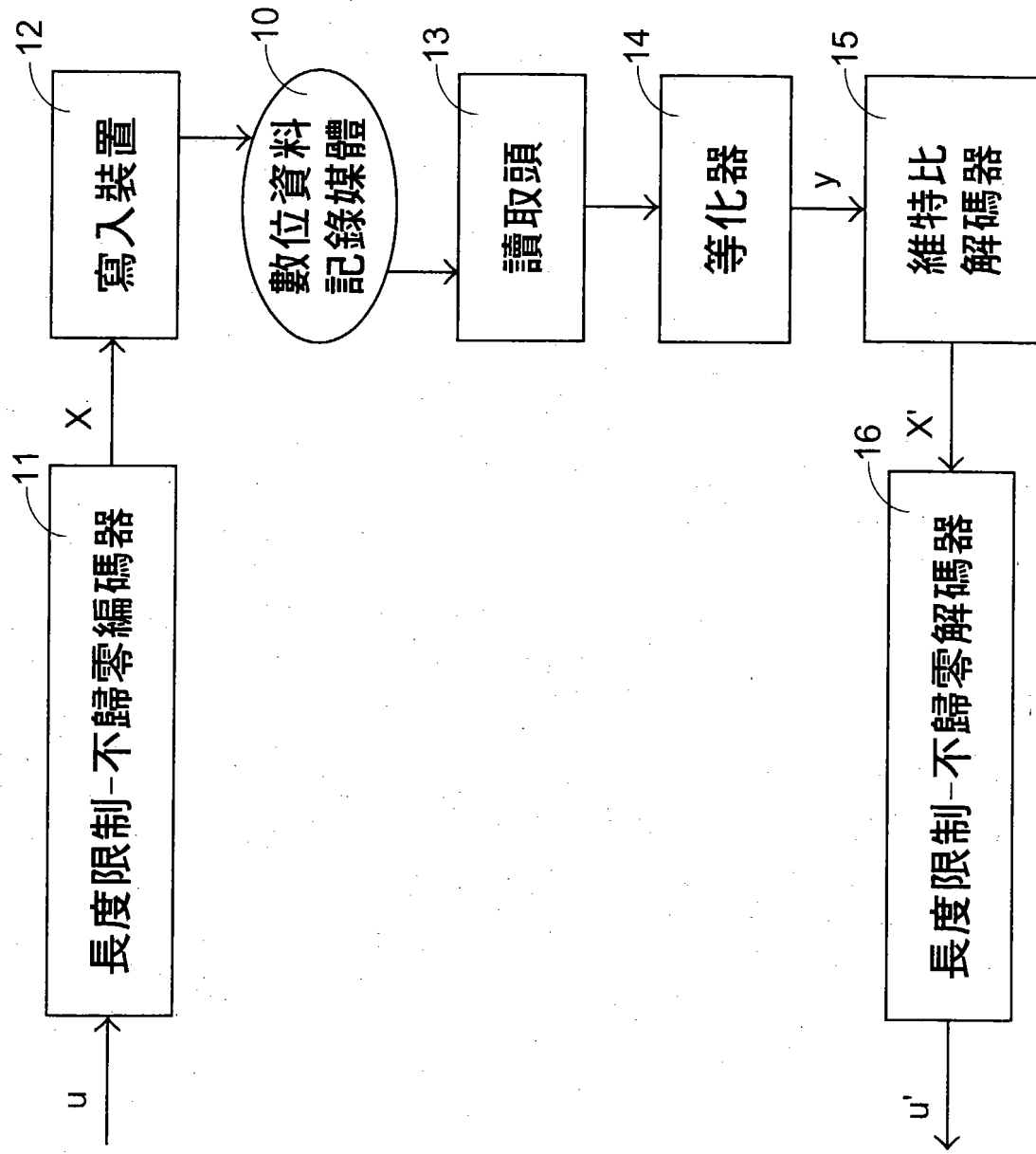


第 24/25 頁



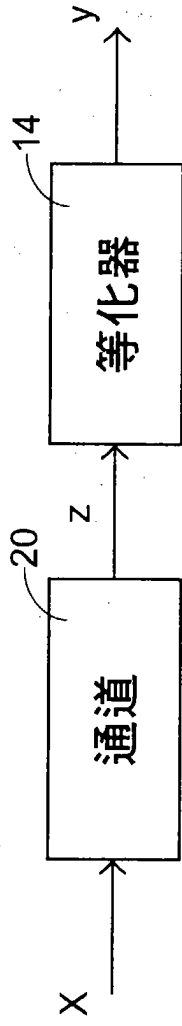
第 25/25 頁

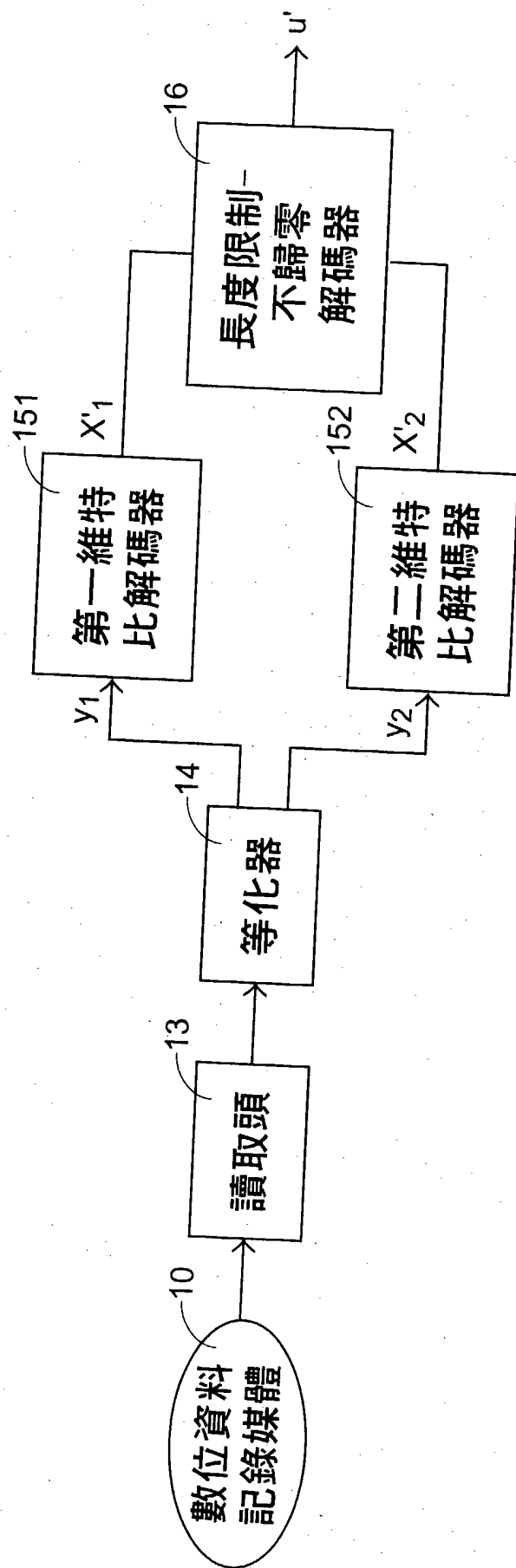




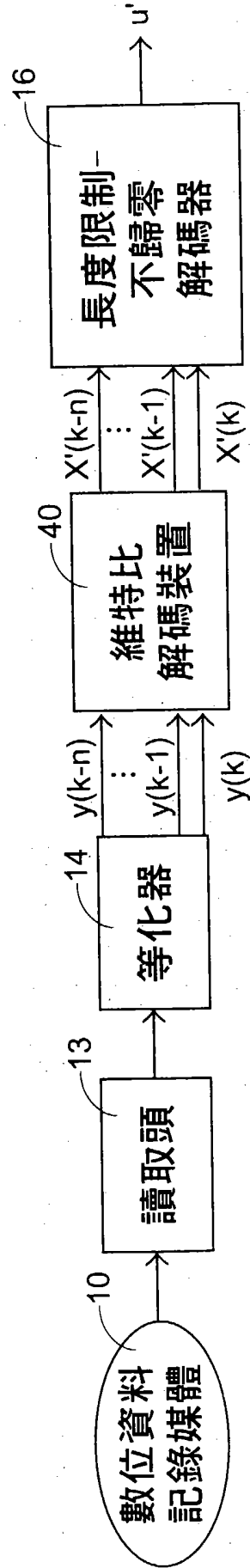
第一圖

第二圖

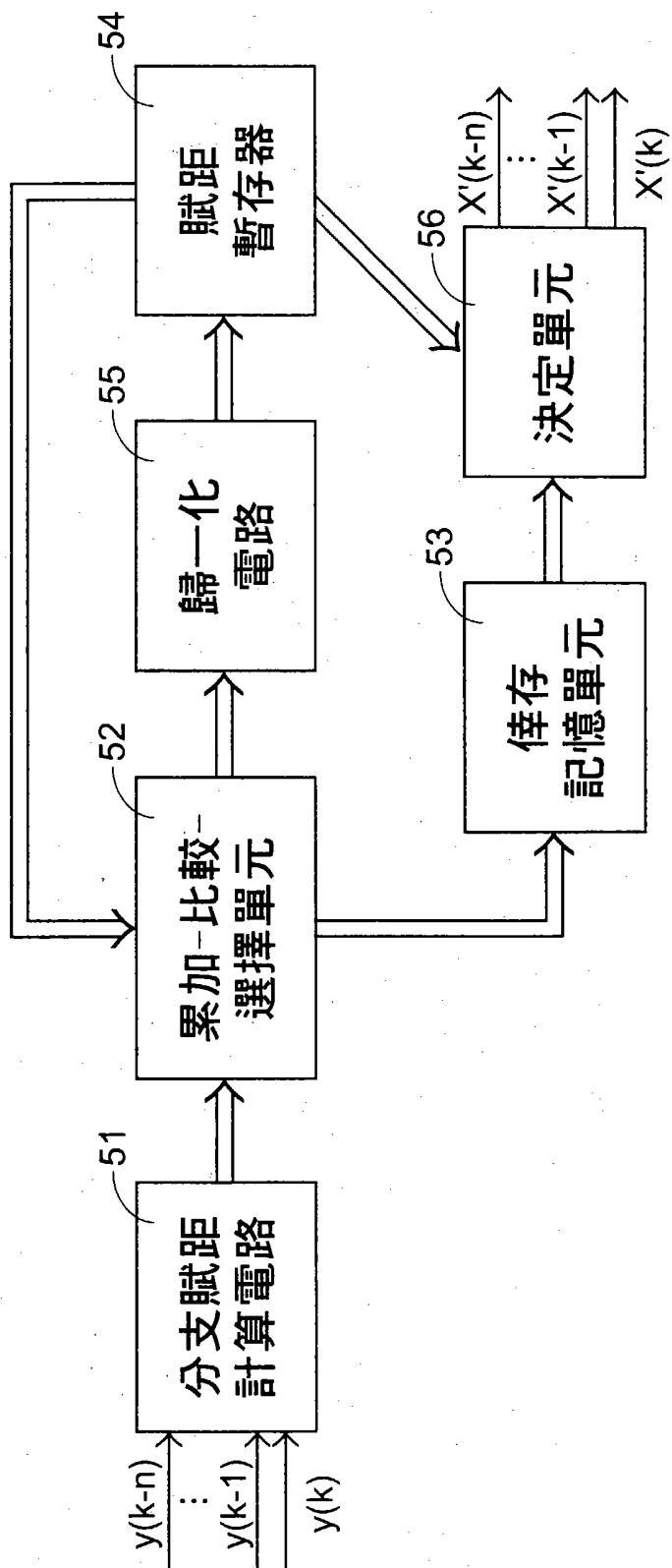




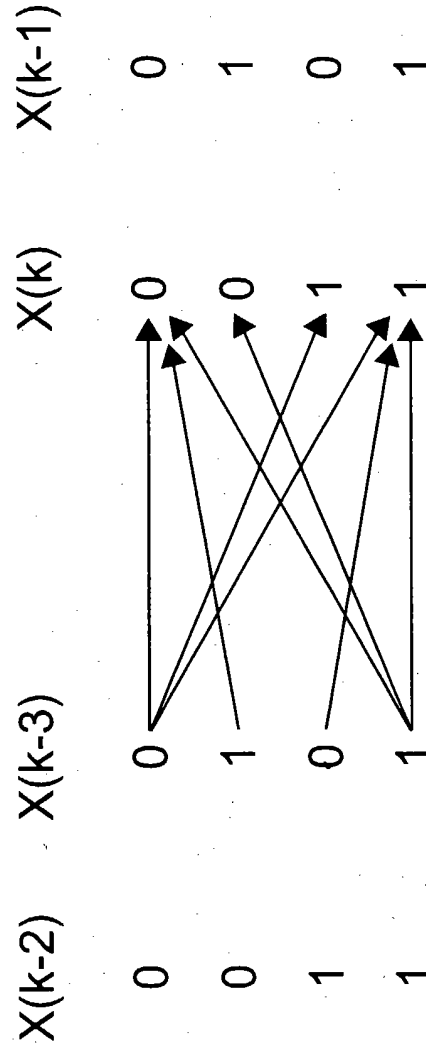
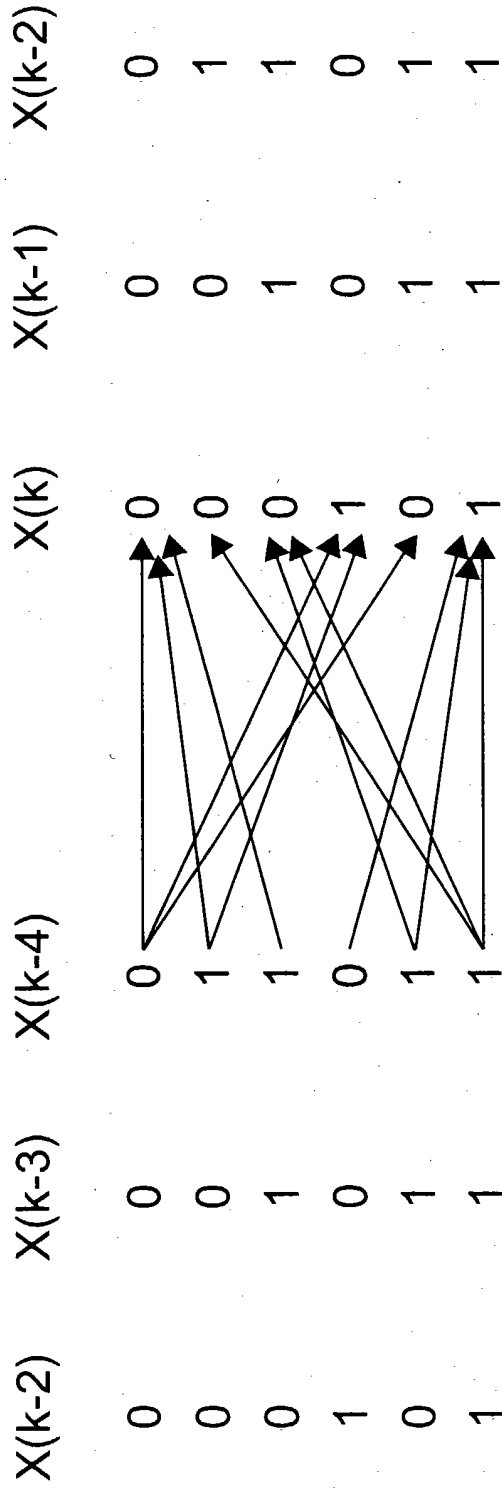
第三圖



第四圖



第五圖



第六圖(a)

$X(k-2)$	$X(k-3)$	$X(k)$	$X(k-1)$	$y(k)$	$y(k-1)$
0(-0.5)	0(-0.5)	0(-0.5)	0(-0.5)	-2	-1.5
0(-0.5)	1(0.5)	0(-0.5)	0(-0.5)	-1	0
1(0.5)	1(0.5)	0(-0.5)	0(-0.5)	0	1
1(0.5)	1(0.5)	0(-0.5)	1(0.5)	1	1.5
0(-0.5)	0(-0.5)	1(0.5)	0(-0.5)	-1	-1.5
0(-0.5)	0(-0.5)	1(0.5)	1(0.5)	0	-1
1(0.5)	0(-0.5)	1(0.5)	1(0.5)	1	0
1(0.5)	1(0.5)	1(0.5)	1(0.5)	2	1.5

第六圖(b)



圖
七
錄